

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Gi-Tae Jeong
Serial No.: To Be Assigned
Filed: Concurrently Herewith
For: **DATA SENSING CIRCUITS AND METHODS FOR MAGNETIC MEMORY
DEVICES**

September 22, 2003

Mail Stop PATENT APPLICATION
Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

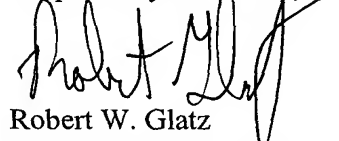
SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

2002-0060923, filed October 7, 2002.

Respectfully submitted,



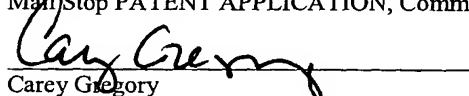
Robert W. Glatz
Registration No. 36,811

Myers Bigel Sibley & Sajovec, P.A.
P. O. Box 37428
Raleigh, North Carolina 27627
Telephone: (919) 854-1400
Facsimile: (919) 854-1401
Customer No. 20792

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EV 318420151 US
Date of Deposit: September 22, 2003

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to:
Mail Stop PATENT APPLICATION, Commissioner for Patents, PO Box 1450, Alexandria, VA 22313-1450.



Carey Gregory

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2002-0060923
Application Number

출원 년 월 일 : 2002년 10월 07일
Date of Application OCT 07, 2002

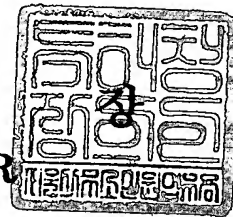
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 07 월 02 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【제출일자】	2002.10.07		
【발명의 명칭】	마그네틱 랜덤 액세스 메모리의 데이터 센싱 회로 및 그 방법		
【발명의 영문명칭】	CIRCUIT FOR SENSING DATA STORED IN MAGNETIC RANDOM ACCESS MEMORY AND METHOD THEREOF		
【출원인】			
【명칭】	삼성전자 주식회사		
【출원인코드】	1-1998-104271-3		
【대리인】			
【성명】	임창현		
【대리인코드】	9-1998-000386-5		
【포괄위임등록번호】	1999-007368-2		
【대리인】			
【성명】	권혁수		
【대리인코드】	9-1999-000370-4		
【포괄위임등록번호】	1999-056971-6		
【발명자】			
【성명의 국문표기】	정기태		
【성명의 영문표기】	JEONG,GI TAE		
【주민등록번호】	650904-1148213		
【우편번호】	135-230		
【주소】	서울특별시 강남구 일원동 우성7차아파트 112동 302호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	16	면	16,000 원

【우선권주장료】	0	건	0	원
【심사청구료】	20	항	749,000	원
【합계】	794,000			원
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

기존 셀을 사용하지 않고 마그네틱 메모리 셀에 저장된 데이터를 정확하게 판별할 수 있는 마그네틱 랜덤 액세스 메모리(Magnetic Random Access Memory :MRAM)가 제공된다. MRAM은, 워드라인들, 비트라인들 그리고 디지털 라인들의 교차점들에 행들 및 열들로 배열된 마그네틱 메모리 셀들을 갖는 메모리 셀 어레이, 상기 메모리 셀 어레이 내 선택된 마그네틱 메모리 셀에 저장된 데이터를 감지하는 감지 증폭기를 포함한다. 상기 감지 증폭기는, 제어 신호들에 응답해서 상기 선택된 마그네틱 메모리 셀로 제 1 전류와 제 2 전류 중 어느 하나를 공급하는 전류원과, 제 1 스위칭 신호에 응답해서 상기 마그네틱 랜덤 액세스 메모리 셀의 저항값에 대응하는 제 1 전압을 저장하기 위한 제 1 저장 수단과, 제 2 스위칭 신호에 응답해서 상기 마그네틱 메모리 셀의 저항값에 대응하는 제 2 전압을 저장하기 위한 제 2 저장 수단, 그리고 상기 제 1 저장 수단에 저장된 상기 제 1 전압과 상기 제 2 저장 수단에 저장된 상기 제 2 전압의 차를 이용하여 상기 마그네틱 메모리 셀에 저장된 데이터를 판별하는 차동 증폭기를 포함한다.

【대표도】

도 3

【명세서】

【발명의 명칭】

마그네틱 랜덤 액세스 메모리의 데이터 센싱 회로 및 그 방법{CIRCUIT FOR SENSING DATA STORED IN MAGNETIC RANDOM ACCESS MEMORY AND METHOD THEREOF}

【도면의 간단한 설명】

도 1은 자기 터널 접합(Magnetic Tunnel Junction : MTJ)의 간략화된 단면도;

도 2는 본 발명의 바람직한 실시예에 따른 MRAM을 나타내는 도면;

도 3은 본 발명의 바람직한 실시예에 따른 감지 증폭기의 상세한 회로 구성을 보여주는 도면;

도 4는 도 3에 도시된 감지 증폭기의 감지 동작의 제어 수순을 보여주는 플로우차트;

도 5는 도 3에 도시된 감지 증폭기(180)의 감지 동작에 따른 제어 신호들의 타이밍도;

도 6a 및 도 6b는 선택된 마그네틱 메모리 셀에 저장된 데이터에 따라서 커패시터들(C1, C2)에 저장되는 전압들을 보여주는 도면들; 그리고

도 7a 및 도 7b는 메모리 셀 내의 MTJ 대신 저항을 연결해서 시뮬레이션한 결과를 각각 보여주는 도면들이다.

*도면의 주요부분에 대한 설명

10 : MTJ 11, 12 : 자성층

13 : 절연층 14, 15 : 판독 전류 단자

16, 17 : 벡터 20 : 디지털 라인

21 : 비트라인 100 : MRAM

110 : 메모리 셀 어레이 MC : 마그네틱 메모리 셀

120 : 비트라인 선택부 130 : 프리차지 회로

140 : 디지털 라인 선택부 150 : 워드라인 선택부

160 : 디지털 라인 전류원 170a, 170b : 비트라인 전류원들

180 : 감지 증폭기 181 : 전류원

185 : 감지 증폭기

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<19> 본 발명은 마그네틱 랜덤 액세스 메모리(Magnetic Random Access Memory)에 관한 것으로, 좀 더 구체적으로는 마그네틱 랜덤 액세스 메모리 셀에 기입된 데이터를 센싱하기 위한 회로 및 방법에 관한 것이다.

<20> 마그네틱 랜덤 액세스 메모리(Magnetic Random Access Memory, 이하 MRAM이라 칭함)는 일종의 불휘발성 메모리 장치로서, 복수 개의 마그네틱 메모리 셀을 포함한다. MRAM은 자성층과 비자성층이 교대로 적층된 다중층들 사이에 나타나는 자기저항(magnetoresistive) 현상을 이용한다. 마그네틱 메모리 셀의 자기저항은 자성층 내 자화 방향이 같거나 반대에 따라 각각 최소값과 최대값을 갖는다. 자화

방향이 같으면 "병렬(parallel)" 상태라고 부르고 논리적으로 로우(low : 즉, "0")인 상태를 나타낸다. 자화방향이 반대이면 "비병렬(anti-parallel)" 상태라고 부르고 로직적으로 하이(high : 즉, "1") 상태를 나타낸다.

<21> 도 1은 자기 터널 접합(Magnetic Tunnel Junction : MTJ)의 간략화된 단면도이다. 도 1을 참조하면, MTJ(10)는 자성체인 제 1 층(11)과 자성체인 제 2 층(12) 및 이들 사이에 끼인 얇은 절연층(13)을 포함한다. 판독 전류 단자(14)는 층(11)에 전기적으로 연결되고, 판독 전류 단자(15)는 층(12)에 전기적으로 연결된다. 층(11)은, 층(11)에서의 자계가 벡터(16)와 일반적으로 평행하게 놓이고, 이 벡터(16)의 방향으로 놓이도록 구성된다. 유사하게, 층(12)은, 층(12)에서의 자계가 벡터(17)와 일반적으로 평행하게 놓이고, 이 벡터(17)의 방향으로 놓이도록 구성된다. 본 설명의 편의를 위해서, 벡터(16)는 항상 예시된 방향으로(도 1의 페이지 오른쪽으로) 유지되며 벡터(17)는 왼쪽 또는 오른쪽 중 어느 한쪽으로 스위칭 가능한 것으로 가정한다.

<22> 디지털 라인(20)은 층(12)의 인접한 곳에 배치되어, 전류가 이 라인을 통해서 통과할 때 벡터(17)의 방향을 변경할 수 있는 자계가 층(12)에 생성되게 한다. 전류의 방향은 생성되는 자계의 방향을 결정하며, 그 결과로서 벡터(17)가 놓이는 방향을 결정한다. 몇몇 응용에서, 층(12)의 인접한 곳에 배치되고, 도면에서 들어가는 방향 및 도면에서 나오는 방향으로 연장하는 것으로 예시된 비트라인(21)과 같은 제 2 자계원을 제공하는 것이 편리할 수도 있다. 그러한 응용에서, 디지털 라인(20) 및 비트라인(21) 모두에서의 전류는 층(12)에서의 벡터(17)를 스위칭하는데 필요하다. 프로그래밍 즉 '기입(write)' 모드에서, 두 라인의 실시예가 2 차원 셀의 배열에서 특정한 셀을 어드레싱하는데 편리하다.

<23> 일반적으로, MTJ(10)는 두 개의 메모리 상태 즉, 벡터들(16 및 17)이 정렬되며, 단자(14 및 15) 사이의 저항이 최소가 되는 상태와, 벡터들(16 및 17)이 정반대로 정렬되고, 단자(14 및 15) 사이의 저항이 최대가 되는 상태를 갖는다. 최대 저항 및/또는 최소 저항이 변경될 수 있는 다양한 방법이 있지만, 일반적으로, 표준 방법은 층(13)의 두께를 변경시키고 및/또는 층(11, 12 및 13)의 수평 면적을 변경시키는 것 중 하나이다.

<24> 그런데, 단자(14 및 15) 사이의 저항 즉, 터널링(tunneling) 저항은 절연층(13)의 두께에 대해 지수함수적으로 변화하기 때문에 절연층(13)의 두께 변화에 다른 터널링 저항의 변화가 크다. MTJ에 저장된 데이터가 "0" 또는 "1"인 지를 구별하는 자기저항률(Magnetoresister Ratio; MR)을 20%로 유지하기 위해서는 절연층(13)의 두께를 매우 균일하게(0.1\AA 이하) 유지해야 하므로 공정상의 부담이 된다.

<25> 종래의 MRAM은 데이터 메모리 셀들에 각각 대응하는 기준 메모리 셀들을 구비하였다. 감지 전류와 기준 전류를 데이터 메모리 셀과 기준 메모리 셀로 각각 인가한 후 셀들 양단에 전압 강하가 발생할 때 이 전압들을 서로 비교하여 데이터 셀 메모리 셀에 저장된 데이터를 판별할 수 있다. 그러나, 앞서 설명한 바와 같이, 데이터 셀에 저장된 데이터를 정확하게 판별하기 위해서는 데이터 셀과 기준 셀의 자기 저항의 오차가 작아야 한다. 만일 공정상의 오류로 데이터 셀과 기준 셀의 자기 저항의 오차가 크면 동작상의 오류가 유발된다.

【발명이 이루고자 하는 기술적 과제】

<26> 따라서 본 발명의 목적은 기준 셀을 사용하지 않고 마그네틱 메모리 셀에 저장된 데이터를 정확하게 판별할 수 있는 마그네틱 랜덤 액세스 메모리의 센싱 회로 및 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<27> (구성)

<28> 상술한 바와 같은 목적을 달성하기 위한 본 발명의 일 특징에 의하면, 마그네틱 메모리 셀에 저장된 데이터를 센싱하는 방법은: 상기 마그네틱 메모리 셀로 제 1 전류를 공급하고, 상기 마그네틱 메모리 셀의 저항값에 대응하는 제 1 전압을 감지하는 단계와, 상기 마그네틱 메모리 셀에 제 1 데이터를 저장하는 단계와, 상기 마그네틱 메모리 셀로 제 2 전류를 공급하고, 상기 마그네틱 메모리 셀의 저항값에 대응하는 제 2 전압을 감지하는 단계 그리고 상기 제 1 전압과 상기 제 2 전압의 차를 이용하여 상기 마그네틱 메모리 셀에 저장된 데이터를 판별하는 단계를 포함한다.

<29> 바람직한 실시예에 있어서, 상기 제 1 전압과 상기 제 2 전압의 차를 이용하여 판별된 상기 데이터를 상기 마그네틱 메모리 셀로 재기입하는 단계를 더 포함한다.

<30> 바람직한 실시예에 있어서, 상기 제 1 전류는 상기 제 2 전류보다 적다.

<31> 바람직한 실시예에 있어서, 상기 제 1 전류는 상기 제 2 전류의 90%이다.

<32> 이 실시예에 있어서, 상기 제 1 전압과 상기 제 2 전압의 차를 이용하여 상기 마그네틱 메모리 셀에 저장된 데이터를 판별하는 단계는, 상기 제 1 전압이 상기 제 2 전압보다 높을 때 상기 마그네틱 메모리 셀에 저장된 데이터가 논리 "1"인 것으로 판별하고, 상기 제 1 전압과 상기 제 2 전압의 차를 이용하여 상기 마그네틱 메모리 셀에 저장된 데이터를 판별하는 단계는, 상기 제 2 전압이 상기 제 1 전압보다 높을 때 상기 마그네틱 메모리 셀에 저장된 데이터가 논리 "0"인 것으로 판별한다.

<33> 이 실시예에 있어서, 상기 제 1 레벨의 상기 제 1 데이터는 논리 "0"이다.

<34> 본 발명의 다른 특징에 의하면, 적어도 하나의 마그네틱 메모리 셀을 포함하는 마그네틱 랜덤 액세스 메모리의 데이터 센싱 회로는: 제어 신호들에 응답해서 상기 마그네틱 메모리 셀로 제 1 전류와 제 2 전류 중 어느 하나를 공급하는 전류원과, 제 1 스위칭 신호에 응답해서 상기 마그네틱 메모리 셀의 저항값에 대응하는 제 1 전압을 저장하기 위한 제 1 저장 수단과, 제 2 스위칭 신호에 응답해서 상기 마그네틱 메모리 셀의 저항값에 대응하는 제 2 전압을 저장하기 위한 제 2 저장 수단, 그리고 상기 제 1 저장 수단에 저장된 상기 제 1 전압과 상기 제 2 저장 수단에 저장된 상기 제 2 전압의 차를 이용하여 상기 마그네틱 메모리 셀에 저장된 데이터를 판별하는 차동 증폭기를 포함한다.

<35> 상기 전류원은, 전원 전압과 연결된 소스, 드레인, 및 상기 드레인과 연결된 게이트를 갖는 제 1 트랜지스터와, 상기 전원 전압과 연결된 소스, 드레인 및 상기 제 1 트랜지스터의 게이트 및 드레인과 연결된 게이트를 갖는 제 2 트랜지스터와, 상기 제 1 트랜지스터의 드레인과 접지 전압 사이에 직렬로 연결되고, 각각의 게이트들이 제 1 제어 신호와 연결된 복수의 제 3 트랜지스터들 그리고 상기 제 1 트랜지스터의 드레인과 상기 접지 전압 사이에 연결되고, 게이트가 제 2 제어 신호와 연결된 제 4 트랜지스터를 포함한다. 상기 제 2 트랜지스터의 드레인 단자의 전류가 상기 메모리 셀로 공급된다.

<36> 바람직한 실시예에 있어서, 상기 제 1 저장 수단은, 상기 전류원 및 상기 메모리 셀과 연결된 드레인, 소스 그리고 상기 제 1 스위칭 신호와 연결된 게이트를 갖는 제 1 스위칭 트랜지스터 그리고 상기 제 1 스위칭 트랜지스터의 상기 소스 및 접지 전압 사이에 연결된 제 1 커패시터를 포함한다.

<37> 상기 제 2 저장 수단은, 상기 전류원 및 상기 마그네틱 메모리 셀과 연결된 드레인, 소스 그리고 상기 제 1 스위칭 신호와 연결된 게이트를 갖는 제 2 스위칭 트랜

지스터 그리고 상기 제 2 스위칭 트랜지스터의 상기 소스 및 접지 전압 사이에 연결된 제 2 커패시터를 포함한다.

<38> 이 실시예에 있어서, 상기 제 1 및 제 2 커패시터들은 동일한 크기이다.

<39> 이 실시예에 있어서, 상기 제 1 스위칭 신호는, 상기 전류원으로부터의 상기 제 1 전류가 상기 마그네틱 메모리 셀로 공급될 때 활성화되고, 상기 제 2 스위칭 신호는, 상기 전류원으로부터의 상기 제 2 전류가 상기 마그네틱 메모리 셀로 공급될 때 활성화된다.

<40> 바람직한 실시예에 있어서, 상기 차동 증폭기는, 상기 제 1 저장 수단에 저장된 상기 제 1 전압이 상기 제 2 저장 수단에 저장된 상기 제 2 전압보다 높을 때 상기 마그네틱 메모리 셀에 저장된 데이터가 논리 "1"인 것으로 판별하고, 상기 제 2 저장 수단에 저장된 상기 제 2 전압이 상기 제 1 저장 수단에 저장된 상기 제 1 전압보다 높을 때 상기 마그네틱 메모리 셀에 저장된 데이터가 논리 "0"인 것으로 판별한다.

<41> 본 발명의 또다른 특징에 의하면, 마그네틱 랜덤 액세스 메모리는: 워드라인들, 비트라인들 그리고 디지털 라인들의 교차점들에 행들 및 열들로 배열된 마그네틱 메모리 셀들을 갖는 메모리 셀 어레이 그리고 상기 메모리 셀 어레이 내 선택된 마그네틱 메모리 셀에 저장된 데이터를 감지하는 감지 증폭기를 포함한다. 상기 감지 증폭기는, 제어 신호들에 응답해서 상기 선택된 마그네틱 메모리 셀로 제 1 전류와 제 2 전류 중 어느 하나를 공급하는 전류원과, 제 1 스위칭 신호에 응답해서 상기 마그네틱 랜덤 액세스 메모리 셀의 저항값에 대응하는 제 1 전압을 저장하기 위한 제 1 저장 수단과, 제 2 스위칭 신호에 응답해서 상기 마그네틱 메모리 셀의 저항값에 대응하는 제 2 전압을 저장하

기 위한 제 2 저장 수단 그리고 상기 제 1 저장 수단에 저장된 상기 제 1 전압과 상기 제 2 저장 수단에 저장된 상기 제 2 전압의 차를 이용하여 상기 마그네틱 메모리 셀에 저장된 데이터를 판별하는 차동 증폭기를 포함한다.

<42> 이러한 구성의 마그네틱 랜덤 액세스 메모리는, 기준 셀을 사용하지 않고 마그네틱 메모리 셀에 저장된 데이터를 정확하게 판별할 수 있다. 기준 셀을 사용하지 않으므로 회로 면적이 현저히 감소된다. 또한, 기준 셀과 데이터 셀의 저항값을 비교하지 않으므로 데이터 셀들의 절연층(산화막)들의 두께가 균일하지 않더라도 생산 수율(yield)을 확보할 수 있다.

<43> (실시예)

<44> 이하 본 발명의 바람직한 실시예를 첨부된 도면들을 참조하여 상세히 설명한다.

<45> 도 2는 본 발명의 바람직한 실시예에 따른 MRAM을 나타내는 도면이다. 도 1을 참조하면, MRAM(100)은 메모리 셀 어레이(110), 비트라인 선택부(120), 디지털 라인 선택부(140), 워드라인 선택부(150), 디지털 라인 전류원(160), 비트라인 전류원들(170a, 170b) 그리고 감지 증폭기(180)를 포함한다. 메모리 셀 어레이(110)는 워드라인들(WL0-WLn), 비트라인들(BL0-BLn) 그리고 디지털 라인들(DL0-DLn)의 교차점들에 행들 및 열들로 배열된 복수의 마그네틱 메모리 셀들(MC)을 포함한다. 메모리 셀(MC)은 하나의 셀 트랜지스터(TC)와 하나의 MTJ(Magnetic Tunnel Junction)를 포함한다.

<46> 워드라인 선택부(150)는 워드라인들(WL0-WLn)에 각각 대응하며, 워드라인 선택을 위한 단위 구성인 PMOS 및 NMOS 트랜지스터 쌍들((151_1, 152_1)-(151_n, 152_n))을 포함한다. 예컨대, 트랜지스터 쌍(151_1, 152_1)은 디지털 라인 전류원(160)과 워드라인

(WL0) 사이에 직렬로 연결되고, 그들의 게이트들은 행 어드레스 신호(X0)와 연결된다. 트랜지스터 쌍(151_n, 152_n)은 디지털 라인 전류원(160)과 워드라인(WL_n) 사이에 직렬로 연결되고, 그들의 게이트들은 행 어드레스 신호(X_n)와 연결된다. 워드라인 선택부(150)는 행 어드레스 신호들(X0-X_n)에 응답해서 디지털 라인 전류원(160)으로부터 전류를 공급받아 워드라인들(WL0-WL_n) 중 하나를 선택한다.

<47> 비트라인 선택부(120)는 비트라인들(BL0-BL_n)에 각각 대응하는 트랜지스터들(121₁-121_n) 및 트랜지스터들(122₁-122_n)을 포함한다. 예컨대, 트랜지스터(121₁)는 비트라인 전류원(170a)과 연결된 드레인, 비트라인(BL0)과 연결된 소스 그리고 열 디코더(미 도시됨)로부터 제공되는 열 어드레스 신호(Y0)와 연결된 게이트를 갖는다. 트랜지스터(122₁)는 비트라인 전류원(170b)과 연결된 드레인, 비트라인(BL0)과 연결된 소스 그리고 열 어드레스 신호(Y0)와 연결된 게이트를 갖는다. 트랜지스터(121_n)는 비트라인 전류원(170a)과 연결된 드레인, 비트라인(BL_n)과 연결된 소스 그리고 열 어드레스 신호(Y_n)와 연결된 게이트를 갖는다. 트랜지스터(122_n)는 비트라인 전류원(170b)과 연결된 드레인, 비트라인(BL_n)과 연결된 소스 그리고 열 어드레스 신호(Y_n)와 연결된 게이트를 갖는다. 비트라인 선택부(120)는 열 어드레스 신호들(Y0-Y_n)에 응답해서 비트라인 전류원(170)으로부터 전류를 공급받아 비트라인들(BL0-BL_n) 중 하나를 선택한다.

<48> 디지털 라인 선택부(140)는 트랜지스터들(141₁-141_n) 및 트랜지스터들(142₁-142_n)을 포함한다. 트랜지스터들(141₁-141_n) 각각은 대응하는 행과 연결된 메모리 셀들(MC)의 셀 트랜지스터들(TC)의 소스에 연결된 드레인, 접지 전압과 연결된 소스 그리고 반전된 기입 인에이블 신호(WEB)와 연결된 게이트를 갖는다. 트랜지스터들(142₁-142_n) 각각은, MTJ들과 연결된 디지털 라인들(DL0-DL_n) 중 대응하는 행과 연결

된 디지털 라인과 연결된 드레인, 접지 전압과 연결된 소스 그리고 기입 인에이블 신호(WE)와 연결된 게이트를 갖는다. 디지털 라인 선택부(140)는 기입 인에이블 신호들(WE, WEb)에 응답해서 디지털 라인들 중의 하나를 선택하고 디지털 전류의 방향을 결정한다.

<49> 프리차지 회로(130)는 비트라인들(BL0-BLn)에 각각 대응하는 프리차지 트랜지스터들(130_1-130_n)을 포함한다. 프리차지 트랜지스터들(130_1-130_n)은 대응하는 비트라인과 연결된 드레인, 접지 전압과 연결된 소스 그리고 대응하는 반전된 열 어드레스 신호들(Y0b-Ynb)에 연결된 게이트들을 갖는다. 프리차지 회로(130)는 열 어드레스 신호들(Y0b-Ynb)이 로우 레벨일 때 비트 라인들(BL0-BLn)을 접지 전압으로 끌어내린다.

<50> 본 발명의 바람직한 실시예에 따른 감지 증폭기(180)의 상세한 회로 구성이 도 3에 도시되어 있다. 도 3을 참조하면, 감지 증폭기(180)는 전류원(181), 프리차지 트랜지스터(182), 스위칭 트랜지스터들(183, 184), 커패시터들(C1, C2) 그리고 차동 증폭기(185)를 포함한다.

<51> 전류원(181)은 PMOS 트랜지스터들(201, 202)과 NMOS 트랜지스터들(203-206)을 포함한다. PMOS 트랜지스터(201)는 전원 전압(VCC)과 연결된 소스, 드레인 및 게이트를 갖는다. PMOS 트랜지스터(201)의 드레인과 게이트는 서로 연결된다. PMOS 트랜지스터(202)는 전원 전압(VCC)과 연결된 소스, 비트라인(BL)과 연결된 드레인 그리고 PMOS 트랜지스터(201)의 게이트 및 드레인과 연결된 게이트를 갖는다. NMOS 트랜지스터들(203-205)은 PMOS 트랜지스터(201)의 드레인과 접지 전압 사이에 직렬로 연결되고 그들의 게이트들은 제 1 전류 제어 신호(PCURR1)와 연결된다. NMOS 트랜지스터(206)는 PMOS 트랜지스터(201)의 드레인과 접지 전압 사이에 연결되고 그것의 게이트는 제 2 전류 제어 신호(PCURR2)와 연결된다.

- <52> 상기 NMOS 트랜지스터들(203-205)과 NMOS 트랜지스터(206)의 채널 크기를 조절하여 PMOS 트랜지스터(202)의 드레인을 통해 비트라인(BL)으로 공급되는 전류의 양을 조절할 수 있다. 이 실시예에서, 제 1 전류 제어 신호(PCURR1)가 활성화될 때 PMOS 트랜지스터(202)의 드레인으로 흐르는 전류는, 제 1 전류 제어 신호(PCURR1)와 제 2 전류 제어 신호(PCURR2)가 활성화될 때 PMOS 트랜지스터(202)의 드레인으로 흐르는 전류(i)보다 적은 $0.9i$ 이다. 이는, 상기 NMOS 트랜지스터들(203-205)과 NMOS 트랜지스터(206)이 모두 턴 온되었을 때 흐르는 전류의 양이 NMOS 트랜지스터들(203-205)만 턴 온되었을 때 흐르는 전류의 양보다 많기 때문이다.
- <53> 프리차지 트랜지스터(182)는 비트라인과 연결된 드레인, 접지 전압과 연결된 소스 그리고 프리차지 신호(PRECH)와 연결된 게이트를 갖는다.
- <54> 스위칭 트랜지스터(183)는 비트라인(BL)과 연결된 드레인, 소스 그리고 스위칭 신호(IS01)와 연결된 게이트를 갖는다. 커패시터(C1)는 스위칭 트랜지스터(183)의 소스와 접지 전압 사이에 연결된다. 그러므로, 스위칭 신호(IS01)가 활성화될 때 비트라인(BL)의 전압이 커패시터(C1)에 저장된다. 스위칭 트랜지스터(184)는 비트라인(BL)과 연결된 드레인, 소스 그리고 스위칭 신호(IS02)와 연결된 게이트를 갖는다. 커패시터(C2)는 스위칭 트랜지스터(184)의 소스와 접지 전압 사이에 연결된다. 그러므로, 스위칭 신호(IS02)가 활성화될 때 비트라인(BL)의 전압이 커패시터(C2)에 저장된다.
- <55> 차동 증폭기(185)는 PMOS 트랜지스터들(211, 212)과 NMOS 트랜지스터들(213, 214)을 포함한다. PMOS 트랜지스터(211)는 전원 전압(VCC)과 연결된 소스, 드레인 및 게이트를 갖는다. PMOS 트랜지스터(212)는 전원 전압(VCC)과 연결된 소스, PMOS 트랜지스터(211)의 게이트와 연결된 드레인 그리고 PMOS 트랜지스터(211)의 드레인과 연

결된 게이트를 갖는다. NMOS 트랜지스터(213)는 PMOS 트랜지스터(211)의 드레인과 연결된 드레인, 접지 전압과 연결된 소스 그리고 PMOS 트랜지스터(212)의 드레인과 연결된 게이트를 갖는다. NMOS 트랜지스터(214)는 PMOS 트랜지스터(212)의 드레인과 연결된 드레인, 접지 전압과 연결된 소스 그리고 PMOS 트랜지스터(211)의 드레인과 연결된 게이트를 갖는다. 차동 증폭기(185)는 커패시터들(C1, C2)에 저장된 전압들의 차에 대응하는 데이터 신호(SA_OUT)를 출력한다.

<56> 상술한 바와 같이 구성되는 MRAM(100)의 동작을 첨부된 도면들을 참조하여 상세히 설명한다. 먼저, 도 4는 도 3에 도시된 감지 증폭기(180)의 감지 동작의 제어 수순을 보여주는 플로우차트이고, 도 5는 도 3에 도시된 감지 증폭기(180)의 감지 동작에 따른 제어 신호들의 타이밍도이다.

<57> 단계, S100에서, 전류원(181)은, 제 1 전류 제어 신호(PCURR1)의 활성화에 응답해서 행 어드레스 신호들(X0-Xn)과 열 어드레스 신호들(Y0-Yn)에 따라서 선택된 마그네틱 메모리 셀(MC)로 전류 $0.9i$ 를 공급한다. 앞서 설명한 바와 같이, NMOS 트랜지스터들(203-205 및 206)이 모두 턴 온되었을 때 PMOS 트랜지스터(202)의 드레인을 통해 비트라인(BL)으로 공급되는 전류는 i 이고, NMOS 트랜지스터(206)는 턴 오프되고 NMOS 트랜지스터들(203-205)만 턴 온되었을 때 PMOS 트랜지스터(202)의 드레인을 통해 비트라인(BL)으로 공급되는 전류는 $0.9i$ 이다. 그와 동시에 제 1 스위칭 신호(IS01)가 활성화되어서 스위칭 트랜지스터(183)가 턴 온된다. 그러므로, PMOS 트랜지스터(202)의 드레인을 통해 비트라인(BL)으로 공급되는 전류는 $0.9i$ 와 메모리 셀(MC)의 MTJ의 저항값에 대응하는 비트라인(BL) 전압이 커패시터(C1)에 저장된다.

- <58> 단계 S110에서, 상기 선택된 마그네틱 메모리 셀(MC)로 데이터 "0"을 기입한다.
 마그네틱 메모리 셀(MC)로 데이터 "0"을 기입하는 방법은 자성층들의 자화 방향이 같은 "병렬(parallel)" 상태가 되도록 디지털 라인으로 전류를 공급하는 것으로서 가능하다.
- <59> 단계 S120에서, 전류원(181)은, 제 1 전류 제어 신호(PCURR1)와 제 2 전류 제어 신호(PCURR2)의 활성화에 응답해서, 행 어드레스 신호들(X0-Xn)과 열 어드레스 신호들(Y0-Yn)에 따라서 선택된 마그네틱 메모리 셀(MC)로 전류 i를 공급한다. 앞서 설명한 바와 같이, NMOS 트랜지스터들(203-206)이 모두 턴 온되었을 때 PMOS 트랜지스터(202)의 드레인을 통해 비트라인(BL)으로 공급되는 전류는 i이다. 그와 동시에 제 2 스위칭 신호(IS02)가 활성화되어서 스위칭 트랜지스터(184)가 턴 온된다. 그러므로, PMOS 트랜지스터(202)의 드레인을 통해 비트라인(BL)으로 공급되는 전류는 i와 메모리 셀(MC)의 MTJ의 저항값에 대응하는 비트라인(BL) 전압이 커패시터(C2)에 저장된다.
- <60> 단계 S130에서, 차동 증폭기(185)는 커패시터(C1)에 저장된 전압과 커패시터(C2)에 저장된 전압의 차에 대응하는 데이터 신호(SA_OUT)를 출력한다.
- <61> 도 6a 및 도 6b는 선택된 마그네틱 메모리 셀에 저장된 데이터에 따라서 커패시터들(C1, C2)에 저장되는 전압들을 보여주는 도면이다.
- <62> 먼저, 도 6a는 선택된 마그네틱 메모리 셀(MC)에 저장된 데이터가 "0"일 때 커패시터들(C1, C2)에 저장되는 전압들을 보여주는 도면이다. 선택된 마그네틱 메모리 셀(MC)에 저장된 데이터가 "0"일 때, 선택된 마그네틱 메모리 셀(MC)의 저항을 RP 이라 하면, 제 1 독출 동작(단계 S100)에서 커패시터(C1)에 저장되는 전압($V1$)은 $0.9i * RP$ 이고,

제 2 독출 동작(단계 S120)에서 커패시터(C2)에 저장되는 전압(V2)은 $i * RP$ 이다. 그러므로, $V1 < V2$ 이다.

<63> 계속해서, 도 6b는 선택된 마그네틱 메모리 셀(MC)에 저장된 데이터가 "1"일 때 커패시터들(C1, C2)에 저장되는 전압들을 보여주는 도면이다. 선택된 마그네틱 메모리 셀(MC)에 저장된 데이터가 "1"일 때, 선택된 마그네틱 메모리 셀(MC)의 저항을 RA이라 하면, 제 1 독출 동작(단계 S100)에서 커패시터(C1)에 저장되는 전압(V1)은 $0.9i * RA$ 이다. 기입 단계(S110)에서 메모리 셀(MC)에 데이터 "0"이 저장되었을 때 선택된 마그네틱 메모리 셀(MC)의 저항을 RP라 하면, 제 2 독출 동작(단계 S120)에서 커패시터(C2)에 저장되는 전압(V2)은 $i * RP$ (단, $RA > RP$)이다. 앞서, 마그네틱 메모리 셀의 자기저항은 자성층 내 자화 방향이 같거나 반대에 따라 각각 최소값과 최대값을 갖는다고 언급했다. 즉, 자화 방향이 같으면(병렬 상태) 저항값(RP)은 최소값을 가지며, 자화 방향이 반대이면(비병렬 상태) 저항값(RA)은 최대값을 갖는다. 그러므로, $V1 > V2$ 이다.

<64> 이와 같은 방법에 의하면, 커패시터들(C1, C2)에 저장된 전압들(V1, V2)의 차로부터 마그네틱 메모리 셀(MC)에 저장된 데이터를 판별할 수 있다. 즉, 마그네틱 메모리 셀(MC)에 저장된 데이터가 논리 '1'일 때 커패시터(C1)에 저장된 전압(V1)이 커패시터(C2)에 저장된 전압(V2)보다 높으므로, 감지 증폭기(180)는 하이 레벨(즉, 논리 '1')의 데이터 신호(SA_OUT)를 출력한다. 반면, 마그네틱 메모리 셀(MC)에 저장된 데이터가 논리 '0'일 때 커패시터(C2)에 저장된 전압(V2)이 커패시터(C1)에 저장된 전압(V1)보다 높으므로 감지 증폭기(180)는 로우 레벨(즉, 논리 '0')의 데이터 신호(SA_OUT)를 출력한다. 상술한 바와 같은 본 발명에 의하면, 기준 셀을 사용하지 않고 마그네틱 메모리 셀에 저장된 데이터를 정확하게 판별할 수 있다.

<65> 단계 S140에서, MRAM(100)은 감지 증폭기(186)로부터 출력되는 데이터 신호(SA_OUT)를 상기 선택된 마그네틱 메모리 셀(MC)로 재기입한다. 상술한 바와 같은 데이터 독출 동작은 데이터 "0"을 강제로 기입해서 원래 저장된 데이터를 파괴하는 파괴 독출(destructive reading)이므로 원래 저장된 데이터로 복구해야만 한다.

<66> 도 7a 및 도 7b는 메모리 셀(MC)내의 MTJ 대신 저항을 연결해서 시뮬레이션한 결과를 각각 보여주는 도면들이다. 먼저 도 7a는 메모리 셀(MC) 내의 MTJ 대신에 저항값이 2.5k Ω 인 저항을 연결한 경우 감지 증폭기(185)로부터 출력되는 데이터 신호(SA_OUT)를 보여주고 있다. 단, MR(Magnetoresister ratio)은 20%이내이다. 도 7b는 메모리 셀(MC) 내의 MTJ 대신에 저항값이 11k Ω 인 저항을 연결한 경우 감지 증폭기(185)로부터 출력되는 데이터 신호(SA_OUT)를 보여주고 있다. 마찬가지로 MR은 20%이내이다. 도 7a 및 도 7b에서 알 수 있는 바와 같이, 저항값이 2.5k Ω 에서 11k Ω 으로 변화되더라도 MR만 20%를 만족하면 본 발명의 감지 증폭기(185)는 메모리 셀에 저장된 데이터를 정확하게 감지할 수 있다.

<67> 예시적인 바람직한 실시예를 이용하여 본 발명을 설명하였지만, 본 발명의 범위는 개시된 실시예들에 한정되지 않는다는 것이 잘 이해될 것이다. 오히려, 본 발명의 범위에는 다양한 변형 예들 및 그 유사한 구성들이 모두 포함될 수 있도록 하려는 것이다. 따라서, 청구범위는 그러한 변형 예들 및 그 유사한 구성들 모두를 포함하는 것으로 가능한 폭넓게 해석되어야 한다.

【발명의 효과】

<68> 이와 같은 본 발명에 의하면, 기준 셀을 사용하지 않고 마그네틱 메모리 셀에 저장된 데이터를 정확하게 판별할 수 있다. 기준 셀을 사용하지 않으므로 회로 면적이 현저

히 감소된다. 또한, 기준 셀과 데이터 셀의 저항값을 비교하지 않으므로 데이터 셀들의 절연층(산화막)들의 두께가 균일하지 않더라도 생산 수율(yield)을 확보할 수 있다.

【특허청구범위】**【청구항 1】**

마그네틱 메모리 셀에 저장된 데이터를 센싱하는 방법에 있어서:

상기 마그네틱 메모리 셀로 제 1 전류를 공급하고, 상기 마그네틱 메모리 셀의 저항값에 대응하는 제 1 전압을 감지하는 단계와;

상기 마그네틱 메모리 셀에 제 1 데이터를 저장하는 단계와;

상기 마그네틱 메모리 셀로 제 2 전류를 공급하고, 상기 마그네틱 메모리 셀의 저항값에 대응하는 제 2 전압을 감지하는 단계; 그리고

상기 제 1 전압과 상기 제 2 전압의 차를 이용하여 상기 마그네틱 메모리 셀에 저장된 데이터를 판별하는 단계를 포함하는 것을 특징으로 하는 마그네틱 랜덤 액세스 메모리의 데이터 센싱 방법.

【청구항 2】

제 1 항에 있어서,

상기 제 1 전압과 상기 제 2 전압의 차를 이용하여 판별된 상기 데이터를 상기 마그네틱 메모리 셀로 재기입하는 단계를 더 포함하는 것을 특징으로 하는 마그네틱 랜덤 액세스 메모리의 데이터 센싱 방법.

【청구항 3】

제 1 항에 있어서,

상기 제 1 전류는 상기 제 2 전류보다 적은 것을 특징으로 하는 마그네틱 랜덤 액세스 메모리의 데이터 센싱 방법.

【청구항 4】

제 1 항에 있어서,

상기 제 1 전류는 상기 제 2 전류의 90%인 것을 특징으로 하는 마그네틱 랜덤 액세스 메모리의 데이터 센싱 방법.

【청구항 5】

제 4 항에 있어서,

상기 제 1 전압과 상기 제 2 전압의 차를 이용하여 상기 마그네틱 메모리 셀에 저장된 데이터를 판별하는 단계는,

상기 제 1 전압이 상기 제 2 전압보다 높을 때 상기 마그네틱 메모리 셀에 저장된 데이터가 논리 "1"인 것으로 판별하는 것을 특징으로 하는 마그네틱 랜덤 액세스 메모리의 데이터 센싱 방법.

【청구항 6】

제 4 항에 있어서,

상기 제 1 전압과 상기 제 2 전압의 차를 이용하여 상기 마그네틱 메모리 셀에 저장된 데이터를 판별하는 단계는,

상기 제 2 전압이 상기 제 1 전압보다 높을 때 상기 마그네틱 메모리 셀에 저장된 데이터가 논리 "0"인 것으로 판별하는 것을 특징으로 하는 마그네틱 랜덤 액세스 메모리의 데이터 센싱 방법.

【청구항 7】

적어도 하나의 마그네틱 메모리 셀을 포함하는 마그네틱 랜덤 액세스 메모리의 데이터 센싱 회로에 있어서:

제어 신호들에 응답해서 상기 마그네틱 메모리 셀로 제 1 전류와 제 2 전류 중 어느 하나를 공급하는 전류원과;

제 1 스위칭 신호에 응답해서 상기 마그네틱 메모리 셀의 저항값에 대응하는 제 1 전압을 저장하기 위한 제 1 저장 수단과;

제 2 스위칭 신호에 응답해서 상기 마그네틱 메모리 셀의 저항값에 대응하는 제 2 전압을 저장하기 위한 제 2 저장 수단; 그리고

상기 제 1 저장 수단에 저장된 상기 제 1 전압과 상기 제 2 저장 수단에 저장된 상기 제 2 전압의 차를 이용하여 상기 마그네틱 메모리 셀에 저장된 데이터를 판별하는 차동 증폭기를 포함하는 것을 특징으로 하는 마그네틱 랜덤 액세스 메모리의 데이터 센싱 회로.

【청구항 8】

제 7 항에 있어서,

상기 전류원은,

전원 전압과 연결된 소스, 드레인, 및 상기 드레인과 연결된 게이트를 갖는 제 1 트랜지스터와;

상기 전원 전압과 연결된 소스, 드레인 및 상기 제 1 트랜지스터의 게이트 및 드레인과 연결된 게이트를 갖는 제 2 트랜지스터와;

상기 제 1 트랜지스터의 드레인과 접지 전압 사이에 직렬로 연결되고, 각각의 게이트들이 제 1 제어 신호와 연결된 복수의 제 3 트랜지스터들; 그리고

상기 제 1 트랜지스터의 드레인과 상기 접지 전압 사이에 연결되고, 게이트가 제 2 제어 신호와 연결된 제 4 트랜지스터를 포함하되;

상기 제 2 트랜지스터의 드레인 단자의 전류가 상기 메모리 셀로 공급되는 것을 특징으로 하는 마그네틱 랜덤 액세스 메모리의 데이터 센싱 회로.

【청구항 9】

제 7 항에 있어서,

상기 제 1 저장 수단은,

상기 전류원 및 상기 메모리 셀과 연결된 드레인, 소스 그리고 상기 제 1 스위칭 신호와 연결된 게이트를 갖는 제 1 스위칭 트랜지스터; 그리고

상기 제 1 스위칭 트랜지스터의 상기 소스 및 접지 전압 사이에 연결된 제 1 커패시터를 포함하는 것을 특징으로 하는 마그네틱 랜덤 액세스 메모리의 데이터 센싱 회로.

【청구항 10】

제 7 항에 있어서,

상기 제 2 저장 수단은,

상기 전류원 및 상기 마그네틱 메모리 셀과 연결된 드레인, 소스 그리고 상기 제 1 스위칭 신호와 연결된 게이트를 갖는 제 2 스위칭 트랜지스터; 그리고

상기 제 2 스위칭 트랜지스터의 상기 소스 및 접지 전압 사이에 연결된 제 2 커패시터를 포함하는 것을 특징으로 하는 마그네틱 랜덤 액세스 메모리의 데이터 센싱 회로.

【청구항 11】

제 7 항에 있어서,

상기 제 1 스위칭 신호는,

상기 전류원으로부터의 상기 제 1 전류가 상기 마그네틱 메모리 셀로 공급될 때 활성화되는 것을 특징으로 하는 마그네틱 랜덤 액세스 메모리의 데이터 센싱 회로.

【청구항 12】

제 7 항에 있어서,

상기 제 2 스위칭 신호는,

상기 전류원으로부터의 상기 제 2 전류가 상기 마그네틱 메모리 셀로 공급될 때 활성화되는 것을 특징으로 하는 마그네틱 랜덤 액세스 메모리의 데이터 센싱 회로.

【청구항 13】

제 7 항에 있어서,

상기 차동 증폭기는,

상기 제 1 저장 수단에 저장된 상기 제 1 전압이 상기 제 2 저장 수단에 저장된 상기 제 2 전압보다 높을 때 상기 마그네틱 메모리 셀에 저장된 데이터가 논리 "1"인 것으로 판별하는 것을 특징으로 하는 마그네틱 랜덤 액세스 메모리의 데이터 센싱 회로.

【청구항 14】

제 7 항에 있어서,

상기 차동 증폭기는,

상기 제 2 저장 수단에 저장된 상기 제 2 전압이 상기 제 1 저장 수단에 저장된 상기 제 1 전압보다 높을 때 상기 마그네틱 메모리 셀에 저장된 데이터가 논리 "0"인 것으로 판별하는 것을 특징으로 하는 마그네틱 랜덤 액세스 메모리의 데이터 센싱 회로.

【청구항 15】

마그네틱 랜덤 액세스 메모리에 있어서,

워드라인들, 비트라인들 그리고 디지털 라인들의 교차점들에 행들 및 열들로 배열된 마그네틱 메모리 셀들을 갖는 메모리 셀 어레이; 그리고

상기 메모리 셀 어레이 내 선택된 마그네틱 메모리 셀에 저장된 데이터를 감지하는 감지 증폭기를 포함하되;

상기 감지 증폭기는,

제어 신호들에 응답해서 상기 선택된 마그네틱 메모리 셀로 제 1 전류와 제 2 전류 중 어느 하나를 공급하는 전류원과;

제 1 스위칭 신호에 응답해서 상기 마그네틱 랜덤 액세스 메모리 셀의 저항값에 대응하는 제 1 전압을 저장하기 위한 제 1 저장 수단과;

제 2 스위칭 신호에 응답해서 상기 마그네틱 메모리 셀의 저항값에 대응하는 제 2 전압을 저장하기 위한 제 2 저장 수단; 그리고

상기 제 1 저장 수단에 저장된 상기 제 1 전압과 상기 제 2 저장 수단에 저장된 상기 제 2 전압의 차를 이용하여 상기 마그네틱 메모리 셀에 저장된 데이터를 판별하는 차동 증폭기를 포함하는 것을 특징으로 하는 마그네틱 랜덤 액세스 메모리.

【청구항 16】

제 15 항에 있어서,

상기 제 1 스위칭 신호는,

상기 전류원으로부터의 상기 제 1 전류가 상기 마그네틱 메모리 셀로 공급될 때 활성화되는 것을 특징으로 하는 마그네틱 랜덤 액세스 메모리.

【청구항 17】

제 16 항에 있어서,

상기 제 1 저장 수단은,

상기 전류원 및 상기 메모리 셀과 연결된 드레인, 소스 그리고 상기 제 1 스위칭 신호와 연결된 게이트를 갖는 제 1 스위칭 트랜지스터; 그리고

상기 제 1 스위칭 트랜지스터의 상기 소스 및 접지 전압 사이에 연결된 제 1 커패시터를 포함하는 것을 특징으로 하는 마그네틱 랜덤 액세스 메모리.

【청구항 18】

제 15 항에 있어서,

상기 제 2 스위칭 신호는,

상기 전류원으로부터의 상기 제 2 전류가 상기 마그네틱 메모리 셀로 공급될 때 활성화되는 것을 특징으로 하는 마그네틱 랜덤 액세스 메모리.

【청구항 19】

제 18 항에 있어서,

상기 제 2 저장 수단은,

상기 전류원 및 상기 마그네틱 메모리 셀과 연결된 드레인, 소스 그리고 상기 제 1 스위칭 신호와 연결된 게이트를 갖는 제 2 스위칭 트랜지스터; 그리고

상기 제 2 스위칭 트랜지스터의 상기 소스 및 접지 전압 사이에 연결된 제 2 커패시터를 포함하는 것을 특징으로 하는 마그네틱 랜덤 액세스 메모리.

【청구항 20】

마그네틱 랜덤 액세스 메모리에 있어서:

비트라인에 연결된 마그네틱 메모리 셀과;

전원 전압과 연결된 소스, 비트라인과 연결된 드레인 및 게이트를 갖는 제 1 트랜지스터와;

전원 전압과 연결된 소스, 상기 제 1 트랜지스터의 게이트와 연결된 드레인 및 게이트를 갖는 제 2 트랜지스터와;

상기 제 1 및 제 2 트랜지스터들의 게이트들과 접지 전압 사이에 연결되어 제 1 신호에 응답하는 제 1 전류경로와;

상기 제 1 및 제 2 트랜지스터들의 게이트들과 접지 전압 사이에 연결되어 제 2 신호에 응답하는 제 2 전류 경로와;

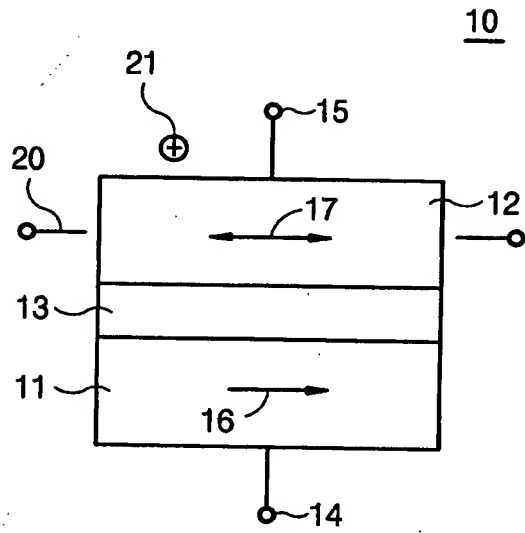
상기 제 1 비트라인에 연결된 제 1 커패시터와;

상기 제 1 비트라인에 연결된 제 2 커패시터; 그리고

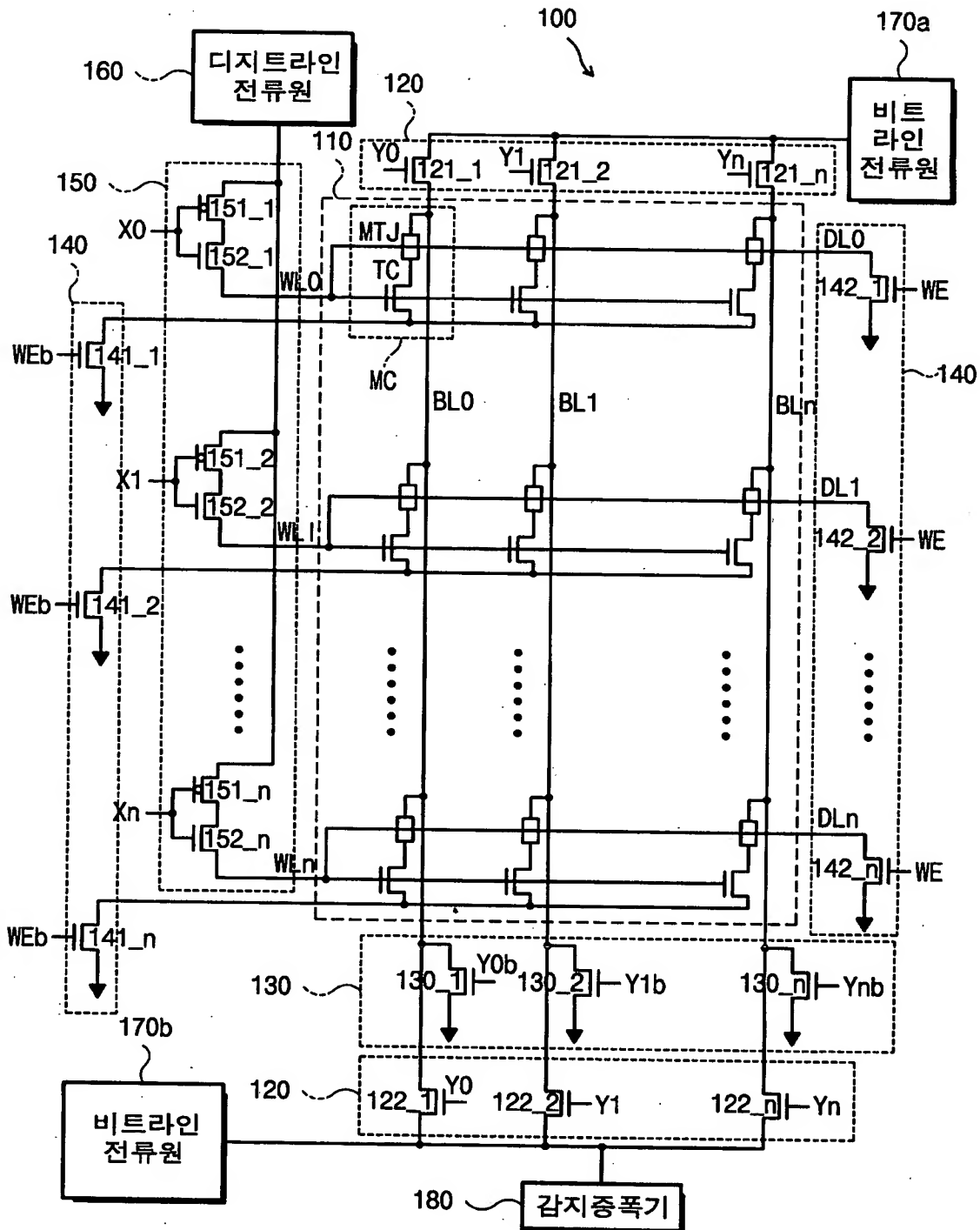
상기 제 1 및 제 2 커패시터들에 저장된 데이터 값을 비교하는 비교기를 포함하는 것을 특징으로 하는 마그네틱 랜덤 액세스 메모리.

【도면】

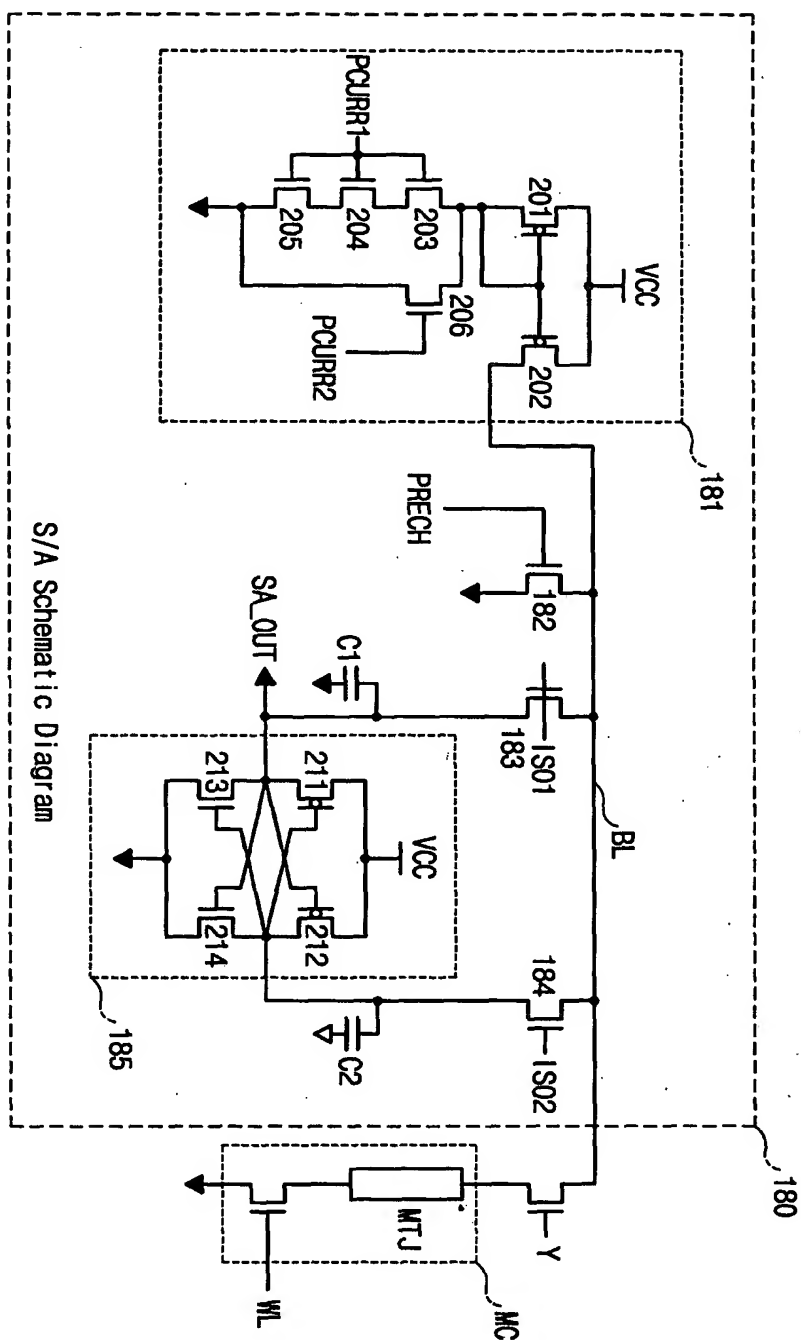
【도 1】



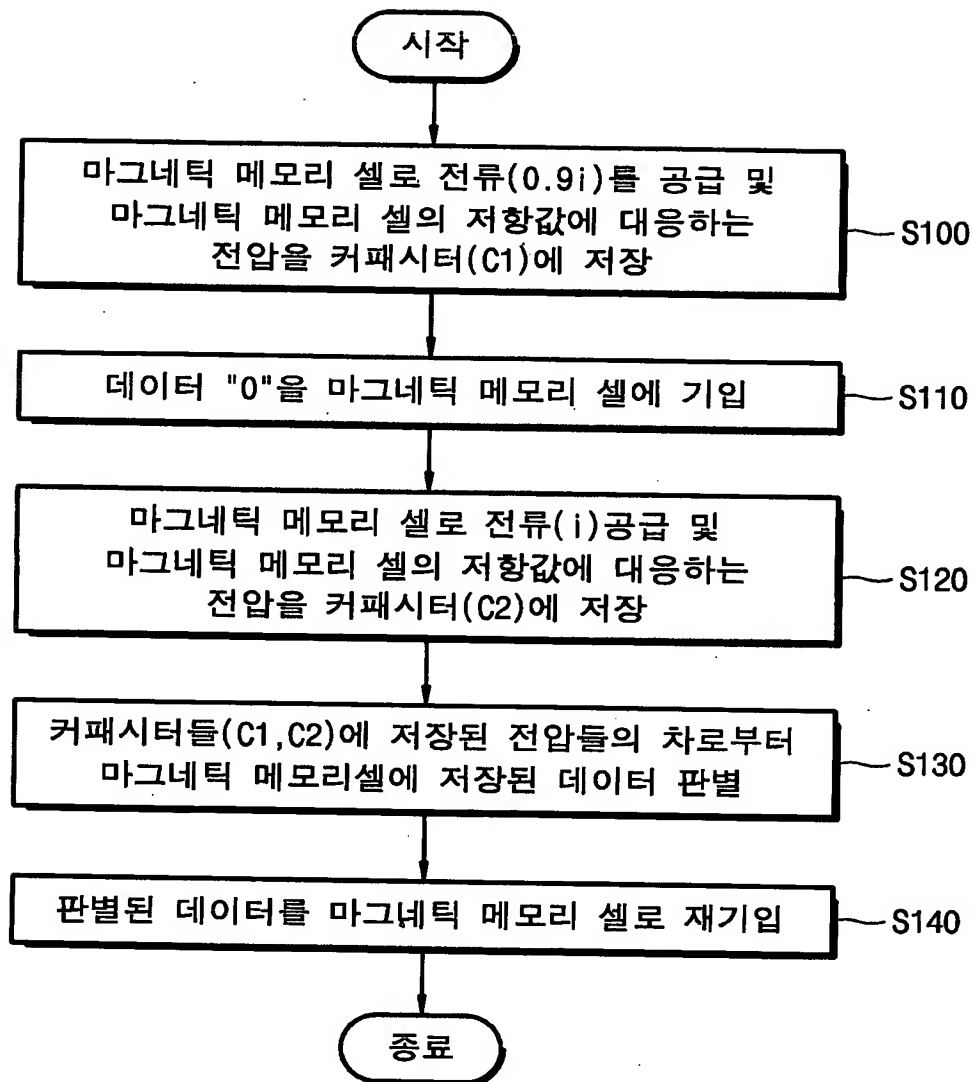
【도 2】



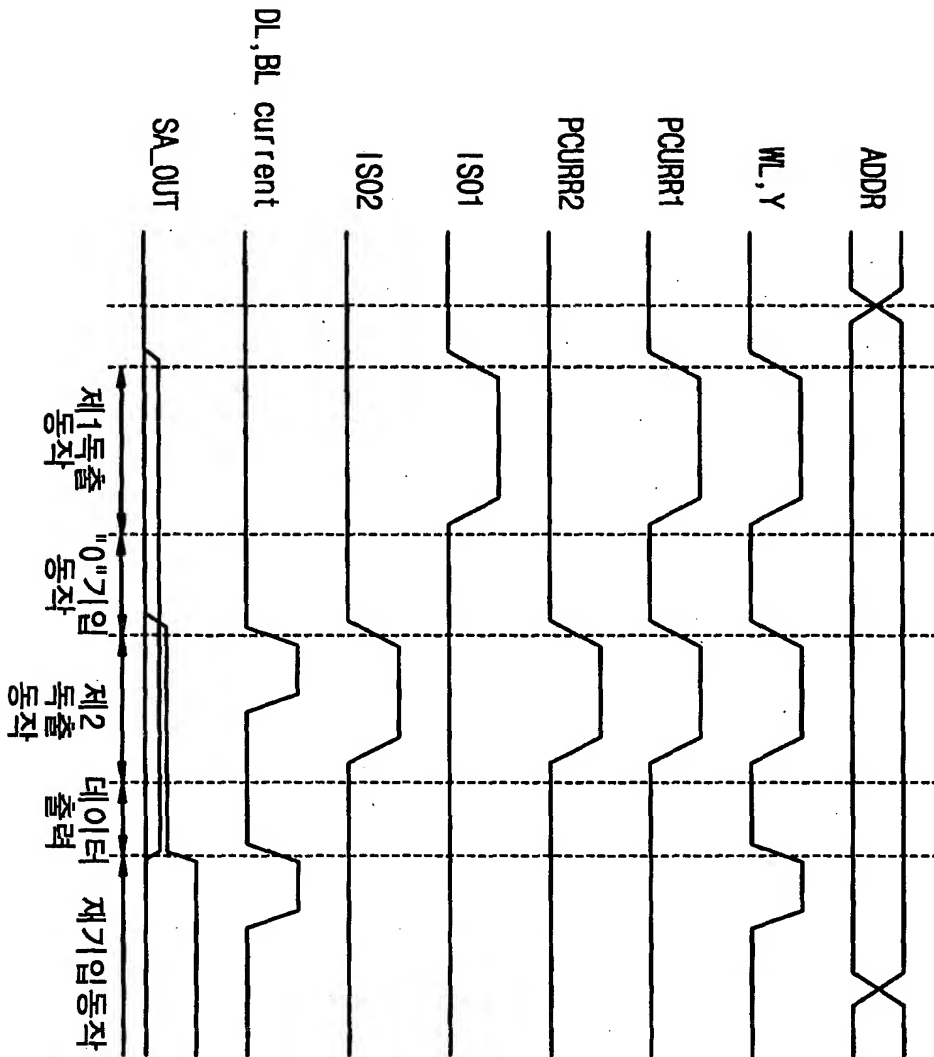
【도 3】



【도 4】



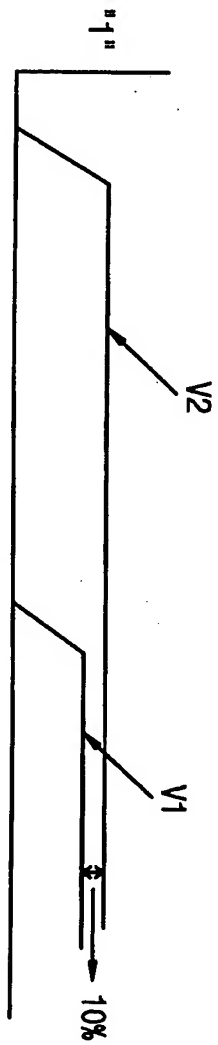
【도 5】



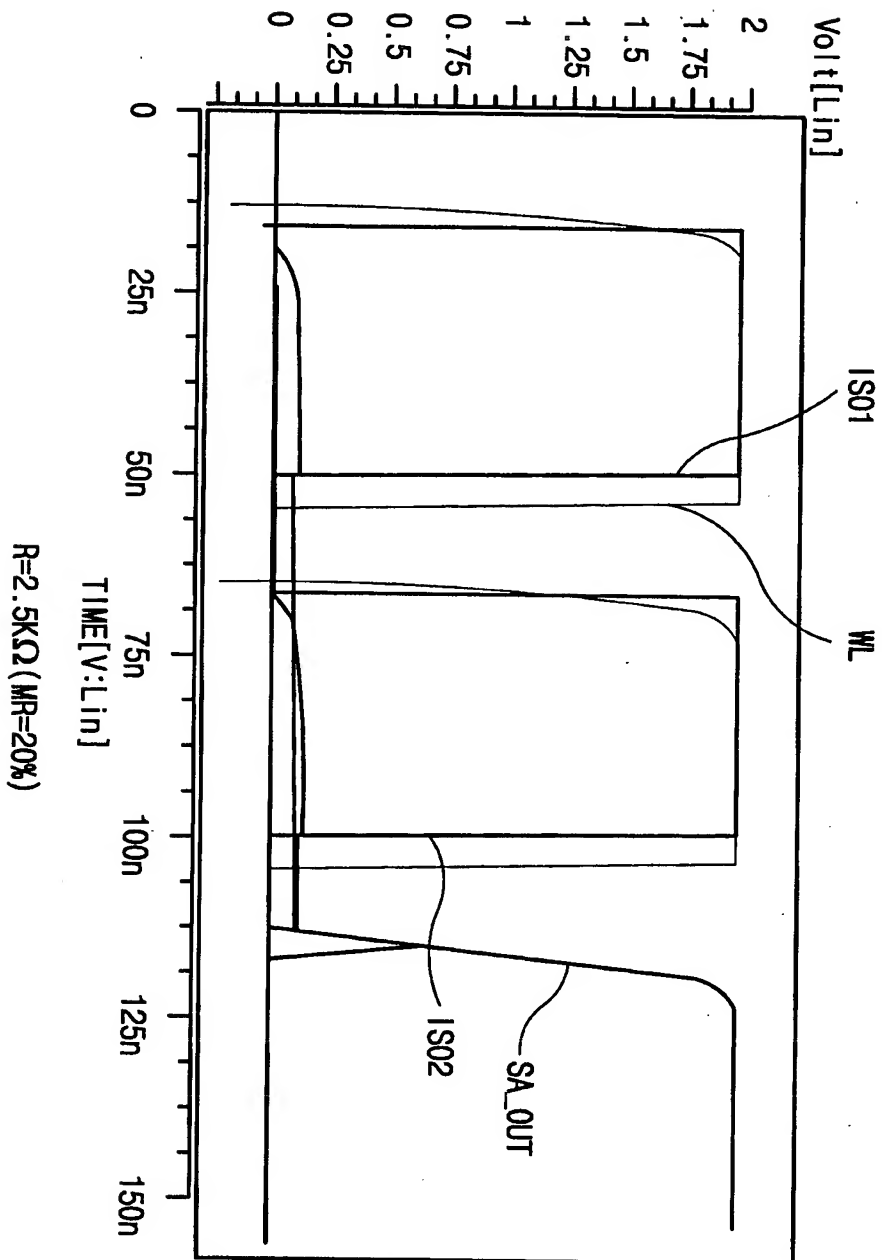
【도 6a】



【도 6b】



【도 7a】



R=2.5K Ω (MR=20%)

【도 7b】

